

(19) JAPANESE PATENT OFFICE

(12) LAID-OPEN PATENT PUBLICATION (A)

(11) Publication number: 59-158124

(43) Date of laid-open publication: 9. 7. 84

(51) Int. Cl. : H 03 K 13/02 and H 04 B 12/02

(54) Title of invention: Voice Data Quantization System

(21) Application number: 58-31286

(22) Date of filing: 2. 27. 83

(72) Inventor: Toyotaro TOKIMOTO, c/o Hamura Technical Center, CASIO KEISANKI
KABUSHIKIKAISHA, 2-1, Sakaecho 3-chome, Hamuramachi,
Nishitama-gun, Tokyo, Japan

(72) Inventor: Kazuyuki KUROSAWA, c/o Hamura Technical Center, CASIO KEISANKI
KABUSHIKIKAISHA, 2-1, Sakaecho 3-chome, Hamuramachi,
Nishitama-gun, Tokyo, Japan

(72) Inventor: Susumu TAKASHIMA, c/o Hamura Technical Center, CASIO KEISANKI
KABUSHIKIKAISHA, 2-1, Sakaecho 3-chome, Hamuramachi,
Nishitama-gun, Tokyo, Japan

(71) Applicant: CASIO KEISANKI KABUSHIKIKAISHA, 6-1, Nishishinjuku 2-chome, Tokyo,
Japan

(74) Representative: Patent Attorney, Yoshiyuki OOSUGA

1. Title of the Invention

Voice Data Quantization System

2. Patent Claims

(1) A voice data quantization system comprising:

detection means for detecting a maximum or minimum value of voice data;

threshold level detection means for inputting output data of said detection
means and outputting a threshold level corresponding to said inputted output data;
and

comparison circuit for inputting said voice data to a first input and inputting
said threshold level to a second input.

(2) A voice data quantization system as defined in claim 1 wherein said threshold
level detection means comprises a memory, and wherein said output data of said
detection means is input to an address input of said memory and data output of said
memory is an output of said threshold level detection means.

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭59—158124

⑫ Int. Cl.³
H 03 K 13/02
H 04 B 12/02

識別記号

庁内整理番号
7530—5 J
7830—5 K

⑬ 公開 昭和59年(1984)9月7日

発明の数 2
審査請求 未請求

(全 11 頁)

⑭ 音声データ量子化方式

⑮ 特 願 昭58—31286
⑯ 出 願 昭58(1983)2月27日
⑰ 発 明 者 時本豊太郎
東京都西多摩郡羽村町栄町3丁
目2番1号カシオ計算機株式会
社羽村技術センター内
⑱ 発 明 者 黒沢和幸
東京都西多摩郡羽村町栄町3丁

⑲ 発 明 者 高島進
東京都西多摩郡羽村町栄町3丁
目2番1号カシオ計算機株式会
社羽村技術センター内
⑳ 出 願 人 カシオ計算機株式会社
東京都新宿区西新宿2丁目6番
1号
㉑ 代 理 人 弁理士 大菅義之

目2番1号カシオ計算機株式会
社羽村技術センター内

明 細 書

1. 発明の名称

音声データ量子化方式

2. 特許請求の範囲

(1) 音声データの最大値あるいは最小値を検出する検出手段と該検出手段の出力データが加わり該データに対応したスレッシュホールドレベルを出力するスレッシュホールドレベル出力手段と、前記入力音声データが第1の入力に加わり、前記スレッシュホールドレベルが第2の入力に加わる比較回路とを有することを特徴とした音声データ量子化方式。

(2) 前記スレッシュホールドレベル出力手段はメモリより成り、前記検出手段の出力が前記メモリのアドレス入力に加わり、データ出力が前記スレッシュホールドレベル手段の出力であることを特徴とした特許請求の範囲第1項記載の音声データ量子化方式。

(3) 前記比較手段は第1の減算回路であり、第1の入力が、被減算入力であり、第2の入力が減算入力であり、キャリア出力が比較出力であるこ

とを特徴とした特許請求の範囲第1項記載の音声データ量子化方式。

(4) 前記音声データの最大値あるいは最小値を検出する手段は、第2の減算回路と、データラッチ回路とを有し、前記第2の減算回路の被減算入力には前記音声データが入力し、減算入力には前記データラッチ回路の出力が入力し、前記第2の減算回路のキャリア出力が前記ラッチ回路のラッチクロックに加わることを特徴とした特許請求の範囲第1項記載の音声データ量子化方式。

(5) 音声データが被減算入力として加わる減算回路と、前記音声データが加わる第1、第2のラッチ回路と、リードオンリメモリと、前記リードオンリメモリのデータ出力が加わる第3、第4のラッチ回路と第1、第2、第3、第4のゲート回路と前記減算回路のキャリアが入力する第5、第6のラッチ回路とを有し、前記第1のラッチ回路の出力は、前記第1のゲート回路を、前記第2のラッチ回路の出力は前記第2のゲート回路を、前記第3のラッチ回路の出力は前記第3のゲート回

路を前記第4のゲート回路の出力は前記第4のゲート回路をそれぞれ介して、減算回路の減算入力と前記リードオンリメモリのアドレス入力にそれぞれ加わることを特徴とした音声データ量子化方式。

(6) 前記第1のラッチ回路は最大値を、前記第2のラッチ回路は最小値をそれぞれ求めるためのラッチ回路であり、第1に前記第1のゲート回路をオンとして前記第1のラッチ回路の出力を前記減算回路の減算入力に加え、キャリーが出力されない時に前記音声データを前記第1のラッチ回路に格納し、第2に前記第2のゲート回路をオンとして前記第2のラッチ回路の出力を前記減算回路の減算入力に加え、キャリーが出力された時に前記音声データを前記第2のラッチ回路に格納し、前記第1、第2の動作を繰り返すことを特徴とした特許請求の範囲第5項記載の音声データ量子化方式。

(7) 前記第3、第4のラッチ回路は第1、第2のスレッシュホールドレベルを記憶し、第1に前記

第3のゲート回路をオンとして前記第3のラッチ回路の出力を前記減算回路の減算入力に加えた後に前記減算回路のキャリーを前記第5のラッチ回路に格納し、第2に前記第4のゲート回路をオンとして前記第4のラッチ回路の出力を前記減算回路の減算入力に加えた後に前記減算回路のキャリーを前記第6のラッチ回路に格納し、前記第1、第2の動作を繰り返すことを特徴とした特許請求の範囲第5項記載の音声データの量子化方式。

(8) 前記第1のラッチ回路は最大値を、第2のラッチ回路は最小値を、第3、第4のラッチ回路は第1、第2のスレッシュホールドレベルをそれぞれ記憶し、先ず第1に前記第1のゲート回路をオンとして前記第1のラッチ回路の出力を前記減算回路の減算入力に加え、キャリーが出力されない時に前記音声データを前記第1のラッチ回路に格納し、第2に前記第2のゲート回路をオンとして前記第2のラッチ回路の出力を前記減算回路の減算入力に加え、キャリーが出力された時に前記音声データを前記第2のラッチ回路に格納し、第3に前

記第3のゲート回路をオンとして前記第3のラッチ回路の出力を前記減算回路の減算入力に加えた後に前記減算回路のキャリーデータを前記第5のラッチ回路に格納し、第4に前記第4のゲート回路をオンとして前記第4のラッチ回路の出力を前記減算回路の減算入力に加えた後に前記減算回路のキャリーデータを前記第6のラッチ回路に格納し、前記第1、第2、第3、第4の動作を1音声データに対応して順次繰り返すことを特徴とした特許請求の範囲第5項記載の音声データの量子化方式。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は入力信号の正規化を行なう正規化回路を有さなくても、同様の効果を有する音声データ量子化方式に関する。

(2) 従来技術

近年、アナログデータをデジタル化し、そのデータを用いてデジタル処理する方式が、各方面に用いられている。音声データの処理に関しても同様であり、PARCOR分析、相関分析等多数デジタル

処理化している。これらのデジタル処理をする為には、アナログ/デジタル変換が必要である。現在アナログ/デジタル変換回路は高精度化されており、これらの処理に必要とするビット数は十分に満足している。

しかしながら、これらのデータを処理する処理回路は回路の簡単化や処理時間の短縮等のため、前記のアナログ変換回路のビット数より、はるかにその処理ビット数を少なくしている。アナログ/デジタル変換回路のビット数を単に切捨てて使用した場合には、ダイナミックレンジの低下や、情報量の低下等の問題があり、切捨てることはできない。これを解決するものとして、正規化回路を用いた方法がある。この方法は特定の範囲における最大値を求め、その最大値を1として正規化するものであり、下位のビットは切捨てている。この方法によって得られた、デジタルデータは音声データの特徴、すなわち情報を多く含んでおり、PARCOR分析やピッチ抽出等の処理には十分なデータとなる。

(3) 従来技術の問題点

前述の正規化回路には特定期間内、すなわち正規化する期間のデジタルデータを記憶する回路や、そのデータの最大値や、最小値を求める回路が必要となる。

さらに、正規化を行なう為の演算すなわち、期間内の全てのデータを、例えば最大値で割る除算回路を必要とする。

このため、正規化回路を用いた場合にはこれを構成するための回路が大きくなり、さらにその処理に多くの時間を有するという問題を有していた。

(4) 発明の目的

本発明は前記問題点を解決するものであり、その目的は正規化回路を有さずに、簡単な回路で高速に量子化を行なう音声データ量子化方式を提供することにある。

(5) 発明の要点

本発明の特徴とするところは、音声データの最大値あるいは、最小値を検出する検出手段と該検出手段の出力データが加わり、該データに対応し

たスレッシュホールドレベルを出力するスレッシュホールドレベル出力手段と、前記入力データが第1の入力に加わり前記スレッシュホールドレベルが第2の入力に加わる比較回路とを有することを特徴とした音声データ量子化方式にある。

(6) 実施例

第1図は本発明の第1の実施例の回路構成図を示す。音声信号はローパスフィルタ1を介してオートマチックゲインコントロール回路2に入力し、その出力はアナログ/デジタル変換回路3に加わる。アナログ/デジタル変換回路3の出力は三値量子化部8の最大値算出部5、最小値算出部6、比較部7の第1の入力に接続される。三値量子化部8は最大値算出部5、最小値算出部6、比較部7、乗算回路9、10、記憶部12より成り、パワー計算部4の出力はパワー抽出端子11に接続される。三値量子化部8内の最大値算出部5、最小値算出部6の出力はそれぞれ乗算回路9、10の第1の入力に加わる。乗算回路9、10の第2の入力には係数データが入力する。乗算回路9、

10の出力は記憶部12を介して比較部7に入力する。比較部7の出力は三値量子化部8の出力としてシフトレジスタ13に接続される。シフトレジスタ13の第1の複数の出力はセレクト14の複数の入力にそれぞれ対応して入力する。シフトレジスタ13の出力とセレクト14の出力は乗算回路15の第1、第2の入力に接続される。乗算回路15の出力はウインド処理回路16を介して加減算回路17の第1の入力に接続される。加減算回路17の出力は記憶部18に接続され、記憶部18の出力は加減算回路17の第2の入力と最大値検出部19の入力に接続される。三値量子化部8とセレクト14とウインド処理回路16のそれぞれの制御入力には制御部20の制御出力がそれぞれ加わる。最大値検出部19の出力は音階コード端子21に接続される。

例えば楽器より発生する楽音や人等の音はマイクロホン等によって電気信号に変換される。その音声信号すなわち電気信号はローパスフィルタ1に入力し、高域部が除去される。ローパスフィル

タ1は音声信号帯域外の雑音等を除去し、さらに前述の音声信号の帯域を制御するための例えばカットオフ(cut off)周波数900Hzのローパスフィルタである。なおこのフィルタはバンドパスフィルタでも可能である。帯域外の雑音等が除去され帯域制限された音声信号はオートマチックゲインコントロール回路2において特定の振幅値になるように増幅される。これは次段のアナログ/デジタル変換回路3の出力ビット数を有効になるように挿入されたものである。例えばアナログ/デジタル変換回路3の最大並びに最小変換電圧が $\pm 5V$ であった時、オートマチックゲインコントロール回路2の出力の最大値、最小値の絶対値が $5V$ 以上であるとアナログ/デジタル変換回路3の出力は無効となってしまう。さらにオートマチックゲインコントロール回路2の出力の最大値、最小値が $\pm 0.5V$ 等のように $5V$ よりその絶対値がはるかに小さい場合にはアナログ/デジタル変換回路3のデジタルデータ値も小さくなり、上位ビットがローレベルとなり有効ビット数

が減少する。これを防止するため、オートマッチゲインコントロール回路2はその出力の最大値、最小値がアナログ/デジタル変換回路3の変換電圧範囲を越えないようにさらに小さな絶対値にならないように動作する。しかしながらオートマッチゲインコントロール回路2はたえず最大値、最小値が一定となるように動作するのではなく、音声信号の最大値、最小値に依存した利得となり、ほぼ特定の範囲の振幅値の信号を出力するように動作する。なお、入力がない場合には利得が最大になるも、その出力は当然ながら零である。

特定の振幅値に変換された音声信号はオートマッチゲインコントロール回路2より出力され、アナログ/デジタル変換回路3においてデジタルデータ値に変換される。

パワー計算部4は前述のアナログ/デジタル変換回路3のデジタル出力の絶対値を取り、特定の範囲1フレームにわたって累算する回路である。換言するならばアナログ/デジタル変換回路3のデジタル出力の符号を取り除き累算する。その累

算結果は音声信号のパワーに関連した値であり、パワー計算部4はその結果をパワー抽出端子11に出力する。また、アナログ/デジタル変換回路3の出力は三値量子化部8の最大値算出部5、最小値算出部6に加わる。最大値算出部5、最小値算出部6では特定の期間にわたって最大値、最小値を検出する。これは三値化を行うためのスレッシュホールドレベルを求めるためになされるものである。

最大値算出部5、最小値算出部6において最大値、最小値を検出し、その値に特定の係数を α_1 、 α_2 を乗算回路9、10で乗算し、記憶部12に格納する。記憶部12に格納された結果は比較部7において行われる比較データのスレッシュホールドレベルとなる。比較部7はアナログ/デジタル変換回路3のデジタルデータ出力と前述のスレッシュホールドレベルとを比較する。前述の乗算回路9、10によって α_1 、 α_2 例えば $\alpha_1 = 0.4$ 、 $\alpha_2 = 0.4$ が乗算されるので入力した信号の振幅値に比例したスレッシュホールドレベルとなる。す

なわち比較部においてなされる三値化はその最大、最小の振幅値で正規化されたスレッシュホールドレベルで行なわれる。

第2図(4)、(5)は音声データすなわちアナログ/デジタル変換回路3の出力と、その値を三値化したそれぞれの波形状である。

最大値に α_1 を乗じたスレッシュホールドレベル TH より音声データが大きい場合には三値化した値すなわち三値データは1(第2図イ~ホの範囲)となる。また最小値に α_2 を乗じたスレッシュホールドレベル TL より小さい場合には三値化データは-1(第2図ヘ、トの範囲)となる。また音声データがその間すなわちスレッシュホールドレベル TH とスレッシュホールドレベル TL の間であるならば三値データは0となる。ここで三値データは第1表に示すように符号ビットとデータビットの計2ビットより成り、0または1の時符号ビットは0、-1の時符号ビットは1となる。また、データビットはその絶対値を示し、三値データが±1の時1、0の時0となる。

第1表

三値データ	符号ビット	データビット
-1	1	1
0	0	0
1	0	1

比較部7は特定の期間すなわち1フレームにおける最大値、最小値より求めたスレッシュホールドレベルを用いて前述の特定期間内における三値化を行うために設けられている。これらの順次なされる動作は制御部20より発生する制御信号によって制御される。

比較部7の出力すなわち三値データはシフトレジスタ13に入力し、順次シフトされる。シフトレジスタの最終シフトデータは乗算回路15の第1の入力に加わる。また最終シフトデータの後に続くデータはシフトレジスタ内にあり特定のステップすなわちシフトクロック数遅れた複数のデータが制御部20より発生する選択信号によってセレクト14で選択され乗算回路15の第2の入力に加わる。乗算回路15では第1、第2の入力に

加わったデータを乗算する。この乗算は最終シフトデータを x_j 、そのデータより特定のクロック r_1 、遅れたデータを $x(j+r_1)$ とすると、 $x_j \cdot x(j+r_1)$ となる。尚、この乗算は、1シフトクロック内で必要とする回数なされウインド処理回路16を介して加減算回路17の第1の入力に加わる。ここで必要とする回数は制御部20において選択的になされるものであるが、それは音階に対応したものであり、例えば音階の $E_1 \sim F_1$ に対応した遅れ時間 $r_1 \sim r_{11}$ の合計38回なされる。また、シフトクロック周波数 f_s を32.768KHzとすると、遅れ時間に対応する音階周波数 f_1 は $f_1 = f_s / r_1$ であらわされる。ここで r_1 は2の12乗根に比例し、例えば F_1 、 E_1 、 \dots 、 F_1 、 E_1 に対応した r_1 はそれぞれ $r_{11} = 46$ 、 $r_{12} = 49$ 、 $r_1 = 373$ 、 $r_2 = 395$ となる。

ウインド処理回路16は、セレクト14によって選択された遅れに対応した係数を乗算する回路であり、その係数すなわちウインド値を $w(r_1)$

とするならば加減算回路17に入力する値は $x_j \cdot x(j+r_1) \cdot w(r_1)$ となる。この係数は制御部20よりセレクト14に入力する選択信号に対応して選択される。加減算回路17、記憶部18は累算するための回路であり、 r_1 に対応して記憶部18の出力が加減算回路17の第2の入力に加わり、ウインド処理回路16の出力と加減算して記憶部18に再度格納する。すなわち記憶部18に格納するデータ

$$R(r_1) \text{ は、} \\ R(r_1) = \sum_{j=1}^N x_j \cdot x(j+r_1) \cdot w(r_1) \quad (1)$$

となる。ここで N は特定範囲内のそれぞれ r_1 に対するシフト回数すなわち計算回数である。(1)式において $w(r_1)$ は j に対して一定であるので $R(r_1)$ は

$$R(r_1) = w(r_1) \cdot \sum_{j=1}^N x_j \cdot x(j+r_1) = w(r_1) \cdot R(r_1) \quad (2)$$

となる。ここで $R(r_1)$ は $x_j \cdot x(j+r_1)$ の累算値を表し、特定の時間遅れに対応した相関

値となる。前述した $w(r_1)$ は図式よりあらかじめように特定の遅れ時間に対応した相関値に累算されるものであり、ウインド関数の遅れ時間に対応したウインド値となる。これによって三値化したために発生する倍音抽出の誤りを防止(ウインド処理)することができる。記憶部18の出力は最大値検出部19に加わり、記憶部18内の最大値が検出される。記憶部18に格納されている値は特定の時間遅れの値と現在の値とを乗算し、ウインド処理した結果の累算値であるので、記憶部18内に格納された累算値は特定の時間内における入力音声信号の各ピッチすなわち周波数成分に対応した値となる。(尚前述の特定時間とは1フレームを示し、さらに1フレームを800システムクロックとした場合にはその値は400回の累算値となる。)すなわち最大値検出部19で検出した値は前述の特定時間内における入力音声信号の各周波数成分の信号の最大値を求めるものとなる。

最大値検出部19はその最大値を有するピッチす

なわち、周波数データを例えばコード化して音階コード端子21に出力する。

以上の動作によって音声信号の主音に関連した音階コード・データが音階コード端子21より出力される。

第3図はさらに第1図の三値量子化部8、パワー計算部4を詳細に示した回路図である。アナログ/デジタル変換回路3の出力は、バッファレジスタ81に加わる。そして、その出力は加減算回路82の被減算入力Bとレジスタ83、84の入力に接続される。加減算回路82の出力Cはラッチ回路85の入力に加わる。ROM86(リードオンリメモリ)のデータ出力は、ラッチ回路87、88の入力に加わる。

ラッチ回路83~85、87、88の出力はそれぞれゲート回路89~93を介して共通に接続され、加減算回路82の減算入力AとROM86のアドレス入力に加わる。このゲート回路81~93は特定時間 $T_1 \sim T_2$ の間に、それぞれオンとなるものである。加減算回路82のキャリー出力Dはラッチ回路94、95のそれぞれの入力と、アンドゲート96の第1の入

力と、インバータ97を介して、アンドゲート98の第1の入力に接続される。

ラッチ回路94の出力は、符号ビットとしてシフトレジスタ13に出力されるとともに、オアゲート99の第1の入力に加わる。ラッチ回路95の出力はインバータ100を介して、オアゲート99の第2の入力に接続され、オアゲート99の出力はシフトレジスタ13にデータビットとして出力される。アンドゲート96、98の出力は、ラッチ回路84、83のクロック端子に入力する。

次に本発明の実施例の動作を第4図の処理チャート、第5図のタイミングチャートを用いて説明する。

本発明の実施例において、データの処理は前述した様に1フレーム単位でなされる。1フレームは800データであり、1フレーム単位でデータの幅の最大値、最小値が算出される。この最大値、最小値は1フレームの最終データの入力後決まるものであり、比較部7ではそれに関係したスレッシュホールドレベルで次に入力するデータを比較す

る。

すなわち、第4図に示した様に、例えばフレーム(n-1)で求められた最大値、最小値は次のフレーム(n)のデータの比較のために用いられる。さらに、例えばフレーム(n)で求められたものは、フレーム(n+1)で使用される。換言するならば、三値量子化部8では直前フレームの最大値、最小値を検出し、その最大値、最小値から、スレッシュホールドレベルを求め、その値を用いて次のフレームのデータを比較部で最終的に三値化する。

第3図にもどって説明すると、アナログ/デジタル変換回路3から入力したデータは一度バッファレジスタ81に格納される。先ずは第5図に示されたデータ x_i が格納される。そしてそのデータは加減算回路82に入力する。加減算回路82の加減算制御入力SUBには、時間 t_i 以外ではローレベルが入力しているので、時間 $T_1 \sim T_2$ では、減算回路となっている。時間 T_1 においてはゲート回路89がオンしており、ラッチ回路83に格納され

ているデータが加減算回路82に加わり、そして減算がなされる。この時バッファレジスタ81に格納されているデータが、ラッチ回路83に格納されているデータより大きい場合にはキャリー端子Dにはローレベルが出力される。ラッチ回路83は最大値が格納されるものであるので、この場合にはそのデータすなわちバッファレジスタ81に格納されているデータをラッチ回路83に格納する。すなわちアンドゲート98にキャリー端子Dのローレベルがインバータ97を介して、ハイレベルとなって入力するので、アンドゲート98はオンとなって、時間 t_i におけるクロック ϕ_1 ($t_{i-1} \sim \phi_1$) がラッチ回路83のクロック端子に入力し、入力に加わっている前述のデータが格納される。また逆にバッファレジスタ81に格納されているデータが、ラッチ回路83に格納されているデータより小さい場合には加減算回路82のキャリー端子はハイレベルとなる。

その信号すなわちハイレベルは、インバータを介してアンドゲート98に加わっているので、ア

ンドゲート98はオフとなり、前述の $t_{i-1} \sim \phi_1$ はラッチ回路83には入力されない。すなわちラッチ回路83の格納されているデータに変化はない。この動作は時間 t_i によってなされるものである。次に時間 t_i になると、ゲート回路90がオンとなり、ラッチ回路84に格納されているデータが加減算回路82に加わる。前述と同様に加減算回路において減算がなされ、その大小関係が比較される。

バッファレジスタ81に格納されているデータがラッチ回路84に格納されているデータより小さい場合には、キャリー端子にはハイレベルが出力される。ラッチ回路84は最小値が格納されるものであるので、この場合にはそのデータ、すなわちバッファレジスタ81に格納されているデータをラッチ回路84に以下の動作で格納する。すなわちアンドゲート96にキャリー端子Dのハイレベルが入力しているので、アンドゲート96はオンとなっている時間 t_i におけるクロック ϕ_2 ($t_{i-1} \sim \phi_2$) がラッチ回路84のクロック端子に入力し、入力に加わっている前述のデータが格納される。

この動作は第5図に示したデータ $x_0 \sim x_{179}$ まで順次繰り返される。そしてフレーム時間 T_0 (すなわち最後のデータ x_{179} に対応する時間)の時に時間 t_1 でゲート回路89をオンとしてROM 80にラッチ回路83のデータを加え、そのデータで指定されたメモリの内容がラッチ回路87の入力に加わり、クロック $T_0 \cdot t_1 \cdot \phi_1$ でラッチ回路87にとり込まれる。また同様に時間 T_0 の時に時間 t_2 でゲート回路90をオンとして、ROM 86にラッチ回路84のデータを加え、そのデータで指定されたメモリの内容がラッチ回路88の入力に加わり、クロック $T_0 \cdot t_2 \cdot \phi_2$ でラッチ回路88にとり込まれる。ROM 86に加わるデータは最大値と最小値であるので、それで指定されるメモリにあらかじめ、特定の値を乗じた結果、例えば $x_1 = 0.4, x_2 = 0.5$ を乗じた結果を格納しておくことによってラッチ回路87, 88には最大値、最小値に対応したスレッシホールドレベルが格納される。以上の動作によって1フレームの最大値、最小値に関係したスレッシホールドレベルがラッチ回路

87, 88に格納される。

一方、各データ $x_0 \sim x_{179}$ の残り時間すなわち、時間 t_1, t_2 において前述のスレッシホールドレベル検出動作と並行して三値化動作がなされる。尚、この時ラッチ回路87, 88には前回のフレームにおける最大値、最小値に関係したスレッシホールドレベルが格納されている。

データ x_0 が先ず前述と同様にバッファレジスタ81に格納される。そして、時間 t_1 においてゲート回路91がオンとなる。

ラッチ回路87に格納されているデータが加減算回路82の減算入力Bに加わる。一方、被減算入力Aにはバッファレジスタの内容すなわちデータ x_0 が加わっている。それらの値の大小関係はキャリ端子Dに出力されるので時間 t_1 内のクロック ϕ_1 すなわち $t_1 \cdot \phi_1$ でラッチ回路95に取り込まれる。その時ラッチ回路95に格納されるデータがローレベルの時にはラッチ回路87に格納されているスレッシホールドレベル(最大値に対応したもの)より大きい場合であり、ハイレベルの

時は逆に小さい場合である。

次に時間 t_2 において前述と同様にゲート回路92がオンとなってラッチ回路88に格納されているデータが加減算回路82の減算入力Bに加わる。一方被減算入力Aには時間 t_1 の時と同じくデータ x_0 が加わっている。それらの値の大小関係はキャリ端子Dに出力されるので、時間 t_2 内のクロック ϕ_2 すなわち $t_2 \cdot \phi_2$ でラッチ回路94に取り込まれる。この時ラッチ回路94に格納されるデータがローレベルの時にはラッチ回路88に格納されているスレッシホールドレベル(最小値に対応したものより)大きい場合であり、ハイレベルの時には逆に小さい場合である。

このラッチ回路のデータは、次のクロックのすなわちデータ x_1 の減算結果が取り込まれるまで変化せず、インバータ100とオアゲート99より成るエンコードによって三値データに変換され、シフトレジスタ13に出力される。ラッチ回路94, 95に格納されたデータが共にローレベルの時には、最大値に関係したスレッシホールドレベルより、

バッファレジスタ81に格納されたデータすなわち、この時にはデータ x_0 が大きい場合であるので、インバータ100の出力はハイレベルとなってオアゲート99を介して、データビットとして出力され、またラッチ回路94のローレベルが符号ビットとして出力される。また共にハイレベルの時には、最小値に関係したスレッシホールドレベルよりバッファレジスタ81に格納されたデータが小さい場合であるので、ラッチ回路95の出力、すなわちハイレベルがオアゲートを介してデータビットとして出力され、符号ビットもハイレベルとなる。この中間、すなわち最大値に関係したスレッシホールドレベルより小さく、最小値に関係したスレッシホールドレベルより大きい場合には、ラッチ回路95にハイレベルが、ラッチ回路94にローレベルが格納される。この時には、ラッチ回路95の出力のハイレベルはインバータ100でインバートされて、オアゲート99にローレベルを入力し、ラッチ回路94の出力のローレベルもオアゲートに入力するので、オアの出力はローレベルとなる。その結果ロ

ーレベルがシフトレジスタ13に出力される。また符号データとしてラッチ回路94の出力すなわちローレベルが出力される。この出力の三値データは第1表に示した様な2ビットのコード化された符号である。前述の動作すなわち、時間 t_1 、

t_2 における動作は前述の最大値、最小値検出の動作と同様であり、次に x_1 、さらに順次 $x_2 \sim x_{11}$ に対して同様に行なわれる。さらにこの一連の動作は1フレーム単位でスレッシュホールドレベルを変更して連続的になされる。

さらに本発明の実施例においては各データ $x_0 \sim x_{11}$ の間のパワー抽出が1フレーム単位でなされる。この動作は単にバッファレジスタ81の値を累算する動作であり、前述の動作において残されている時間 t_1 でなされる。時間 t_1 においてゲート回路93がオンとなり、加減算回路82の入力Aにラッチ回路85の内容が加わる。また入力Bにはバッファレジスタ81の内容が加わる。一方、この時加減算回路82の加減算制御端子 sub にはローレベルが加わるので前述の時間 t_1 、 t_2 、 t_3 、

t_4 と異なり、加減算回路82は加算動作をする。この結果前述の入力A,Bに加わったデータが出力端子Cより出力され、ラッチ回路85の入力に加わる。この出力されたデータは $t_1 \sim t_4$ のクロックでラッチ回路85に取り込まれる。ラッチ回路85は最終データに対応したフレーム時間 T_0 の時間 t_1 、すなわち $T_0 \cdot t_1$ でリセットされるので、1フレーム間のデータ $x_0 \sim x_{11}$ が累算されて、パワー抽出端子11より出力される。第5図に示した $r_0 \sim r_{11}$ は1データに対してなされる相関計算を表わすものである。

各データは40スロットを有するが本発明の実施例においては $r_0 \sim r_{11}$ に関してのみ演算している。さらにクロック ϕ_1 、 ϕ_2 はその時の演算に必要とするクロックを示すものである。

以上本発明の実施例を用いて説明したが、第3図における加減算回路82はパワー抽出を必要としない場合には減算回路で良く、その時には時間 t_1 は必要でない。さらに本発明の実施例においては、入力データを音声信号として説明したが、

これに限らず、他の信号をも量子化することができる。さらにまた、本発明の実施例においては三値量子化を行なっているが、これは前述の時間 t_1 、 t_2 に対応する減算、すなわち比較処理を多くし、それに関係する回路、例えばROMの記憶容量とラッチ回路を増加させることによって多値の量子化が可能となる。

(7) 発明の効果

以上述べた様に本発明は正規化回路を有さずに、簡単な加減算回路を用いているので、乗算と異なり、その処理スピードは早く、さらに回路が簡単となる。よって本発明によれば簡単な回路で処理速度の速い音声データ量子化方式を得ることが可能となる。

4. 図面の簡単な説明

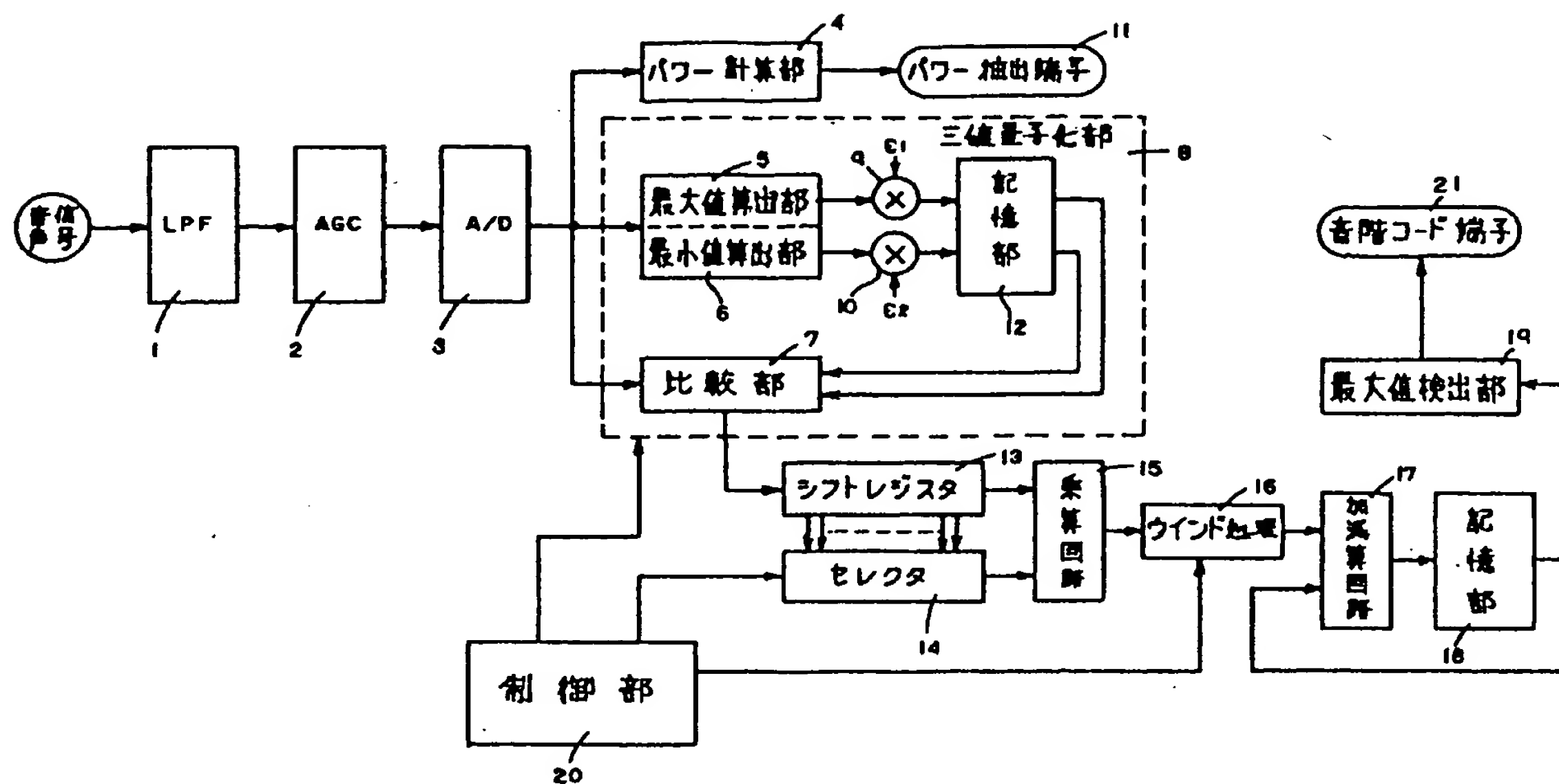
第1図は本発明一実施例を示す回路構成図、第2図は三値化方式を説明する波形図、第3図は第1図の詳細な回路図、第4図は最大、最小値検出処理と三値化処理の順序を示すチャート図、第5図は1フレームのデータチャートと、そのクロッ

クを示すチャート図である。

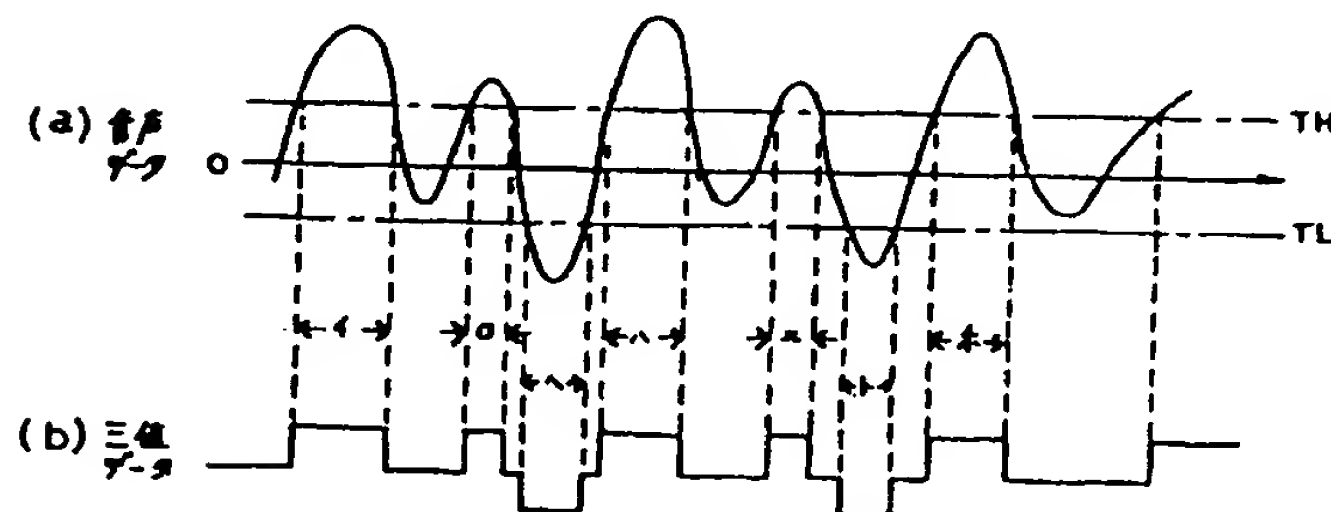
5・・・最大値算出部、6・・・最小値算出部
7・・・比較部、8・・・3値量子化部、
9、10・・・乗算回路、12・・・記憶部、
82・・・加減算回路、86・・・ROM、89～93
・・・ゲート回路、83～85、87、88、94、95
・・・ラッチ回路、96、98・・・アンドゲート、
95、96・・・インバータ、99・・・オアゲート

特許出願人 カシオ計算機株式会社
代理人弁理士 大 菅 義 之

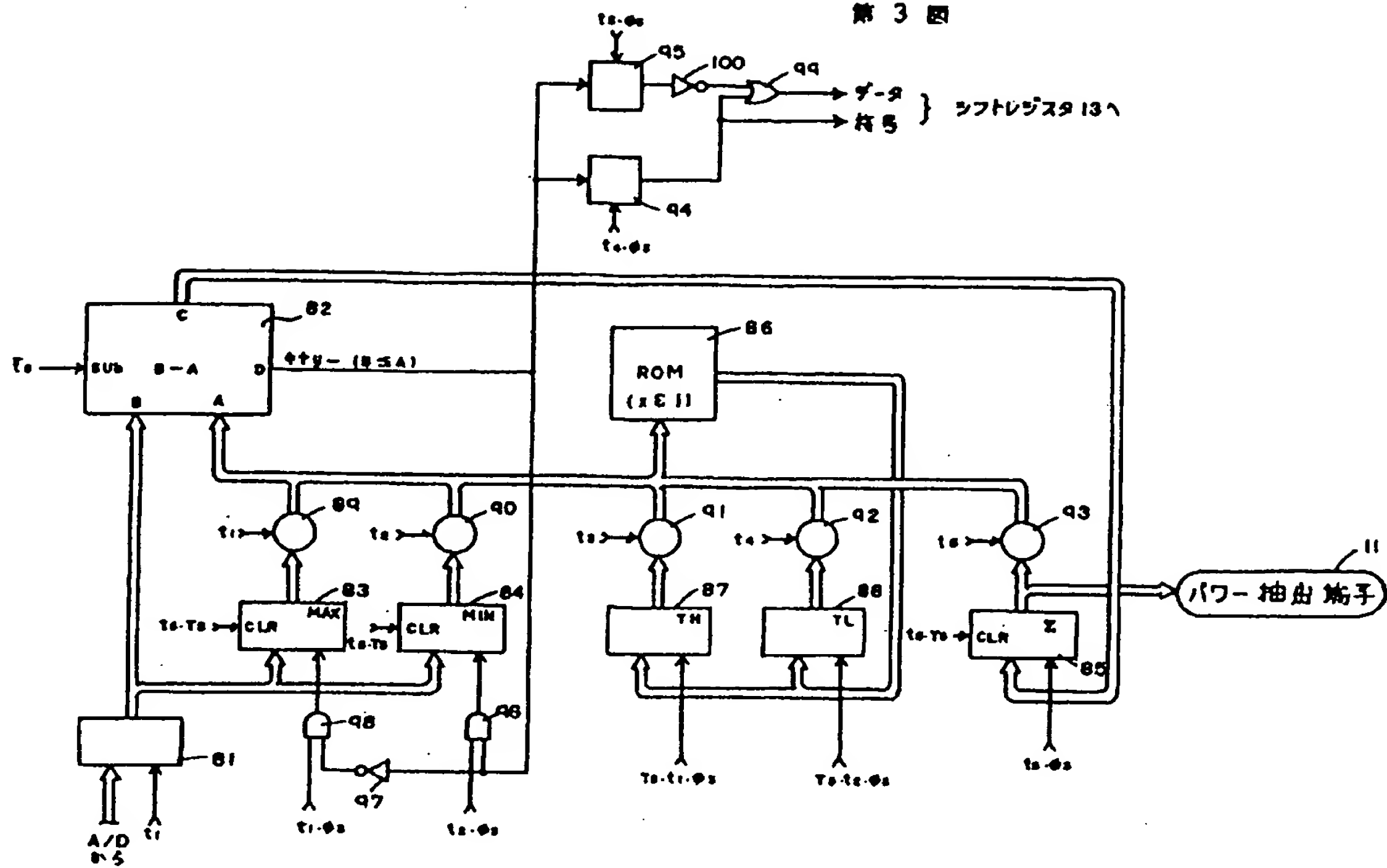
第 1 図



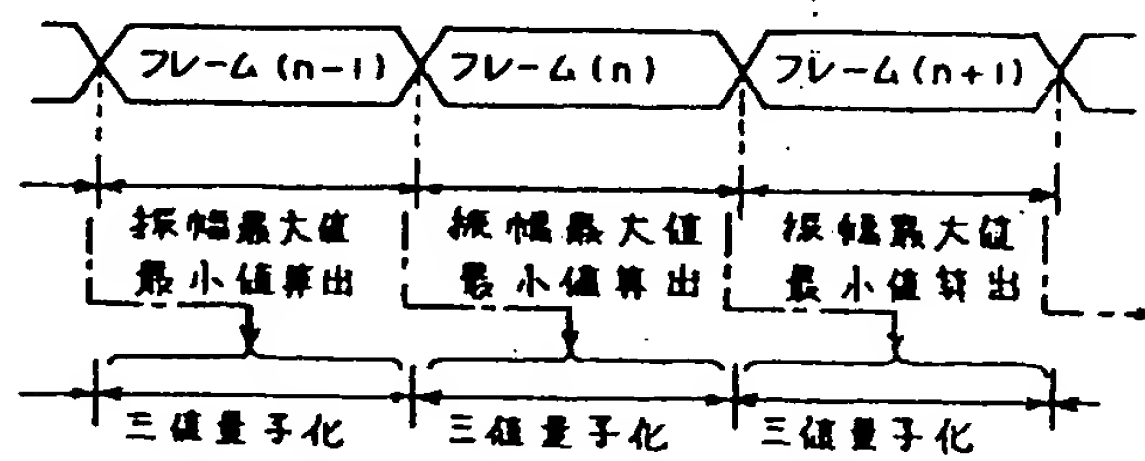
第 2 図



第 3 回



第 4 圖



第 5 図

